

⑫ 公開特許公報 (A)

昭57-24548

51 Int. Cl.³
H 01 L 21/76
21/265
21/95

識別記号

庁内整理番号
8122-5F
6851-5F
7739-5F

⑬ 公開 昭和57年(1982)2月9日

発明の数 4
審査請求 未請求

(全 11 頁)

⑭ 半導体装置及びその製法

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

⑮ 特 願 昭55-100386
⑯ 出 願 昭55(1980)7月22日
⑰ 発 明 者 梶山健二

⑱ 出 願 人 日本電信電話公社
⑲ 代 理 人 弁理士 田中正治

明 細 書

1. 発明の名称 半導体装置及びその製法

2. 特許請求の範囲

1. 半導体基板内にその主面側より、上記半導体基板の材料のイオン注入により絶縁化されてなる絶縁化面となる有底逆放電極間状絶縁層が、それによつて取囲まれた上記半導体基板による島状半導体領域を形成すべく、形成され、上記島状半導体領域を他より電気的に分離された半導体素子乃至回路形成半導体領域としてなる事を特徴とする半導体装置。
2. 半導体基板の主面上に逆放電極間状開口を有するマスク層を形成する工程と、該マスク層をマスクとする上記半導体基板内へのイオン注入処理により、上記半導体基板内に、その材料の絶縁化されてなる絶縁化面となる有底逆放電極間状絶縁層を、それによつて取囲まれた上記半導体基板による島状半導体領域を形成すべく形成する工程とを含む事を特徴とする半導体装置の製法。

3. 半導体基板内にその主面側より、上記半導体基板の材料のイオン注入により絶縁化されてなる絶縁化面となる有底逆放電極間状絶縁層がそれによつて取囲まれた上記半導体基板による島状半導体領域を形成すべく形成され上記島状半導体領域上に他の島状半導体領域が形成され、上記半導体基板による島状半導体領域及び上記他の島状半導体領域を他より電気的に分離された半導体素子乃至回路形成領域としてなる事を特徴とする半導体装置。
4. 半導体基板の主面上に逆放電極間状開口を有するマスク層を形成する工程と、該マスク層をマスクとせる上記半導体基板内へのイオン注入処理により、上記半導体基板内に、その材料の絶縁化されてなる絶縁化面となる有底逆放電極間状絶縁層をそれによつて取囲まれた上記半導体基板による島状半導体領域を形成すべく形成する工程と、上記島状半導体領域上にエビタキシャル成長法によつて他の島状半導体領域を形成する工程とを含む事を特徴とする半導体装置の製法。

酸とする半導体装置及びその製法。

発明の詳細な説明

本発明は島状の半導体素子乃至回路形成半導体領域を有する半導体装置及びその製法に関する。

島状の半導体素子乃至回路形成半導体領域を有する半導体装置として、従来、第1図に示す如き、例えばP型の半導体基板1の主面2上にN型の半導体層3が形成され、その半導体層3内にその半導体層3と対向する面4側より半導体基板1に達する深さを以てP型の筒状半導体層5が、それによつて取囲まれた半導体層3による筒状半導体領域6を形成すべく形成され、而してその筒状半導体領域6を島状の半導体素子乃至回路形成半導体領域とし、その領域6を用いて半導体素子乃至回路Qが形成されてなる構成を有するものが提案されている。尚図に於ては半導体素子乃至回路Qが、領域6内に面4側よりソース領域及びドレイン領域としてのP型の半導体領域7及び8がそれぞれ間にテ

ランシル領域としての領域9を形成すべく形成され、又領域9上にゲート絶縁層としての絶縁層10を介してゲート電極としての絶縁層11が形成されてなる構成を有するMIS素子を素子トランジスタとして、領域6を用いて形成されている場合が示されている。

所で前記半導体装置の場合、その領域6による島状の半導体素子乃至回路形成半導体領域は、半導体基板1及び筒状半導体層5との間のPN接合12及び13によつて、半導体基板1及び半導体層3の領域6以外の領域より電気的に分離されてなる又は分離され得る構成を有するものであるが、その電気的な分離の爲のPN接合に不必要に容量を伴う等の欠点を有していた。

又第1図にて上述せる半導体装置の製法として、従来第2図に示す如く、例えばP型の半導体基板1を予め用意し(第2図A)、而してその主面2上にエピタキシャル成長法によつてN型の半導体層3を形成し(第2図B)、次にその半導体層3上に筒状開口14を有するマスク

層15を形成し(第2図C)、次にそのマスク層15をマスクとして半導体層3内にP型不純物を導入して半導体基板1に達する筒状半導体層5を形成し(第2図D)、次にマスク層15を半導体基板1上より除去し(第2図E)、或る後半導体層3の筒状半導体層5にて囲まれた領域6を島状の半導体素子乃至回路形成半導体領域として、それを用いて、例えば第1図にて上述せるMIS素子トランジスタとして半導体素子乃至回路Qを形成する(第2図F)という製法が提案されている。

然し下らぬ製法による場合、領域6による島状の半導体素子乃至回路形成半導体領域を得るにつき、半導体基板1の主面2上に半導体層3を形成する工程と、その半導体層3上にマスク層15を形成する工程と、そのマスク層15をマスクとして半導体層3内に筒状半導体層5を形成する工程とを要する為、全体としての工程数が多い等の欠点を有していた。

又島状の半導体素子乃至回路形成半導体領域を有

する半導体装置として、従来、第3図に示す如き、第1図との対応部分には同一符号を附して示すも、第1図にて上述せる構成に於てその筒状半導体層5が半導体層3の材料の酸化により酸化されてなる筒状絶縁層5'にて置換されてなることを除いては第1図の場合と同様の構成を有するも提案されている。

所で前記半導体装置の場合、その領域6による島状の半導体素子乃至回路形成半導体領域は、深さ方向に関し半導体基板1とのPN接合12によつて半導体基板1より電気的に分離され、又は分離され得る構成を有し、又横方向に該筒状絶縁層5'によつて半導体層3の領域6以外の領域より電気的に分離されてなる構成を有するものであるが、その深さ方向の電気的な分離の爲のPN接合12に不必要に容量を伴う等の欠点を有していた。

又第2図にて上述せる半導体装置の製法として、従来第4図に示す如く、P型の半導体基板1を予め用意し(第4図A)、而してその主面

2 上にエピタキシャル成長法によつてN型の半導体層3を形成し(第4図B)、次にその半導体層3上に環状開口44を有するマスク層45を形成し(第4図C)、次にそのマスク層45をマスクとせる熱酸化処理により半導体層3の材料の酸化により酸化されてなる環状絶縁層35を形成し(第4図D)、次にマスク層45を除去し(第4図E)、然る後半導体層3の環状絶縁層35にて囲まれた領域を島状の半導体素子乃至回路形成半導体領域として、それを用いて半導体素子乃至回路Qを例えば第1図にて上述せるMIS電界効果トランジスタとして形成する(第4図F)という製法が提案されている。

然し乍ら斯る製法による場合、領域6による島状の半導体素子乃至回路形成半導体領域を得るにつき、半導体基板1の主面2上に半導体層3を形成する工程と、その半導体層3上にマスク層45を形成する工程と、そのマスク層45をマスクとして半導体層3内に環状半導体層

53に形成せる半導体素子乃至回路Qと他の島状半導体層に形成せる半導体素子乃至回路とを絶縁層によつて接続するにつき、その絶縁層に断線を生ずる等の欠点を有していた。

又第5図にて上述せる半導体装置の製法として、従来の第6図に示す如く、サファイヤ基板の如き絶縁性半導体基板51を予め用意し(第6図A)、而してその主面52上にエピタキシャル成長法によつてN型の半導体層61を形成し(第6図B)、次にその半導体層61上に環状開口64を有するマスク層65を形成し(第6図C)。

次にそのマスク層65をマスクとせる半導体層61に対するエッチング処理により半導体層61による島状半導体層53を形成し(第6図D)、次にマスク層65を除去し(第6図E)、然る後半導体層53を島状の半導体素子乃至回路形成半導体領域として、それを用いて半導体素子乃至回路Qを例えば第1図にて上述せるMIS電界効果トランジスタとして形成する

55を形成する工程とを要する為、全体としての工程数が多い等の欠点を有していた。

更に島状の半導体素子乃至回路形成半導体領域を有する半導体装置として、従来、第5図に示す如き、サファイヤ基板の如き絶縁性半導体基板51の主面52上に例えばN型の島状半導体層53が形成され、而してその島状半導体層53を島状半導体素子乃至回路形成半導体領域とし、その島状半導体層53を用いて半導体素子乃至回路Qとしての例えば第1図にて上述せるMIS電界効果トランジスタ(第1図)との対応部分には同一符号が附されている)が形成されてなる構成を有するも提案されている。

所で斯る半導体装置の場合、その島状半導体層53による半導体素子乃至回路形成半導体領域が、絶縁性半導体基板51及び島状半導体層53の周りの空気によつて他の島状半導体層53より電気的に分離されてなる構成を有するものであるが、絶縁性半導体基板51上に島状半導体層53による凹凸を有し、この為一の島

(第6図F)という製法が提案されている。

然し乍ら斯る製法による場合、島状半導体層53による島状の半導体素子乃至回路形成半導体領域を得るにつき、絶縁性半導体基板51上に半導体層61を形成する工程と、その半導体層61上にマスク層65を形成する工程と、そのマスク層65をマスクとして半導体層61より島状半導体層53を形成する工程とを要する為、全体としての工程数が多い等の欠点を有していた。

依つて本発明は上述せる欠点のない新規な半導体装置及びその製法を提案せんとするもので、以下詳述する所より明らかとなるであらう。

先ず第7図を併なつて本願第1項の発明による半導体装置の一例を述べるに、例えばN型の半導体基板71内にその主面72側より、半導体基板71の材料の、 O^+ 、 O_2^+ 、 N^+ 、 N_2^+ 等のイオンの注入により酸化されてなる、シリコン酸化物、シリコン窒化物等の絶縁化物である高抵抗絶縁性環状絶縁層73が、それによつて取

形成された半導体基板 7 1 による局状半導体領域 7 4 を形成すべく形成され、而してその局状半導体領域 7 4 を局状の半導体素子乃至回路形成半導体領域とし、局状半導体領域 7 4 を用いて半導体素子乃至回路 Q が例えば図 1 図にて上述せる M I S 電界効果トランジスタ（図 1 図との対応部分には同一符号が示されている）として形成されてなる構成を有する。

以上が本願第 1 番目の発明による半導体装置の一態様であるが、斯く構成によれば、局状半導体領域 7 4 による局状の半導体素子乃至回路形成半導体領域が、有底逆放電型局状逆放電層 7 3 によつて半導体基板 7 1（他の領域より電気的に分離されてなる構成を有し、従つて局状の半導体素子乃至回路形成半導体領域が、図 1 図及び図 3 図にて上述せる従来の半導体装置の構造の如くに P N 接合によるということなしに、絶縁層によつて他より電気的に分離されてなる構成を有する為、電気的な分離を図 1 図及び図 3 図にて上述せる従来の半導体装置の欠点を伴

うことなしになし得るものである。又局状の半導体素子乃至回路形成半導体領域が、図 5 図にて上述せる従来の半導体装置の構造の如くに基板上に凹部を形成することなしに、半導体基板 7 1 内に形成されているので、その電気的な分離を図 5 図にて上述せる従来の半導体装置の欠点を伴うことなしになし得るものとなる構成を有するものである。

次に図 8 図を伴つて、図 1 図にて上述せる本願第 1 番目の発明による半導体装置の製造の一例を述べると、N 型の半導体シリコンでなる半導体基板 7 1 を準備せし（図 8 図 A）、而つてその主面 7 2 上に、逆放電型局状逆放電層 7 3 を有する例えば非結晶シリコン、多結晶シリコン、シリコン酸化物、シリコン窒化物等であるマスク層 8 5 を、それ自体は公知のフォトリソグラフィ法によつて形成する（図 8 図 B）。この場合半導体基板 7 1 の主面 7 2 がフォトリソグラフィ法に於けるエッチング処理等のエッチャントによつて不必要に侵されることがない様に、

局状半導体素子 7 1 及びマスク層 8 5 間に不必要に生かれない様に、例えばシリコン酸化物、シリコン窒化物等である薄いパツプア層 8 6 を、半導体基板 7 1 の主面 7 2 上にその全域に亘つて形成し、而してそのパツプア層 8 6 上にマスク層 8 5 を形成せしめるを事とする。図 8 図 C の所成局状逆放電層 8 4 は、形成せる内面を有するものであるが、斯る局状せる内面を有する開口 8 4 は、開口 8 4 を有するマスク層 8 5 になる前の面より別の方路を払うことなしにフォトリソグラフィ法によつて開口 8 4 を有するマスク層 8 5 を作る様になすだけで得ることから得るものである。

次に半導体基板 7 1 上のマスク層 8 5 をマスクとせる半導体基板 7 1 内への、例えば B^+ 、 Ge^+ 、 N^+ 、 N_2^+ 等のイオンを用いたマスク層 8 5 及びパツプア層 8 6 を通してのイオン注入処理により、半導体基板 7 1 内に、その材料の酸化されてなる、例えばシリコン酸化物、シリコン窒化物等の酸化物等である有底逆放電層

局状逆放電層 7 3 を、これによつて形成された半導体基板 7 1 による局状半導体領域 7 4 を形成すべく形成する（図 8 図 D）。この場合有底逆放電層形成時（図 8 図 D）に、局状せる内面を有する逆放電型局状開口 8 4 を有するマスク層 8 5 をマスクとせるイオン打込処理によつて行われるので、その絶縁層 7 3 が、手可通り有底逆放電層局状を有し、そしてその厚がマスク層 8 4 の厚さに依存せる所存厚さを、局状端部半導体基板 7 1 の主面 7 2 に通していることに注意すべきである。

次にマスク層 8 5 をパツプア層 8 6 を半導体基板 7 1 上より除去し（図 8 図 E）、局状局状半導体領域 7 4 を局状の半導体素子乃至回路形成半導体領域として、それを用いて半導体素子乃至回路 Q を例えば図 1 図にて上述せる M I S 電界効果トランジスタとして形成し（図 8 図 F）、斯くて目的とする半導体装置を備へる。

以上が図 7 図にて上述せる本願第 1 番目の発明による半導体装置の製造の一例であるが、斯

導電と同様の特性を以て得ることが出来るという大なる特徴を有するものである。

次に第10図を伴つて、第9図にて上述せる本発明第2番目の発明による半導体装置の製造の一例を述べるに、N型の例えばシリコンでなる半導体基板71を予め用意し(第10図A)、而してその主面72上に逆載面導電性材料124を有する非晶質シリコン、多結晶シリコン等となるマスク層105を、第8図にて上述せる本発明第1番目の発明による半導体装置の製造の一例の場合に準じてそれ自体は公知のフォトリソグラフィ法によつて形成する(第10図B)。

この場合第8図にて上述せる本発明第1番目の発明による半導体装置の製造の一例の場合に準じて、例えばシリコンでなるパツファ層106を、半導体基板71の主面72上にその全域に亘つて形成し、而してそのパツファ層106上にマスク層105を形成する。

次に、半導体基板71上のマスク層105をマスクとせる半導体基板71内への、例えば O^{+} 、

OH^{+} 、 N^{+} 、 N_2^{+} 等のイオンを用いたマスク層105及びパツファ層106を通してのイオン注入処理により、半導体基板71内に、その材料の絶縁化されてなる、例えばシリコン酸化膜シリコン窒化物等の絶縁化物でなる有底逆載面導電性絶縁層73を、それによつて形成された半導体基板71による島状半導体領域74を形成すべく形成する(第10図C)。この場合、パツファ層106内にその材料の絶縁化されてなる、例えばシリコン酸化膜、シリコン窒化物等の絶縁化物でなる逆載面導電性絶縁層102を、上述せる絶縁層73よりこれと連続して形成させる態様を以て形成すると共に、マスク層105内にもその材料の絶縁化されてなる、例えばシリコン酸化膜、シリコン窒化物等の絶縁化物でなる逆載面導電性絶縁層103を、絶縁層102よりこれと連続して延長させる態様を以て形成し、且絶縁層102の開放端よりこれと一体に同一方向に外方に延長させる絶縁層103と同様の絶縁化物でなる絶縁層104を形成す

る。

次にパツファ層106の絶縁層102にて取囲まれた領域、及びマスク層105の絶縁層103にて取囲まれた領域及び絶縁層104上に絶縁層をエッチング処理により除去し、取囲む絶縁層102の内面による開口98を有し、そしてその内面に絶縁層102が形成されてなるパツファ層106による層99と、絶縁層103の内面による開口100及び絶縁層104の上面による上面を有し、そして上面に絶縁層104が、開口100の内面に絶縁層103が形成されてなるマスク層105による層101が積層されてなる構成を有し、そして開口98及び100による開口96を有する層97を、半導体基板71の主面72上に形成する(第10図D)。

次に斯く開口96を有する層97を形成せる半導体基板71上にエピタキシャル成長法によつてN型の半導体層を形成せしめるという処理を含んで、層97の開口96に臨む島状半導体領域74上に、N型の島状半導体領域94を、

その上面の高さ位置が層97の上面のそれと一致すべく形成する(第10図E)。

然る后、半導体基板71内に形成された島状半導体領域74及びその上に形成された島状半導体領域94とによる領域95を島状の半導体素子乃至回路形成半導体領域として、それを用いて半導体素子乃至回路Qを例えば第1図にて上述せるMIS電界効果トランジスタとして形成し(第10図F)、斯くて目的とする半導体装置を得る。

以上が第9図にて上述せる本発明第2番目の発明による半導体装置の製造の一例であるが、斯る製造法によれば、島状半導体領域74及び94による領域でなる島状の半導体素子乃至回路形成領域を、半導体基板71の主面72上にマスク層105を形成し、次でそのマスク層105をマスクとしてイオン注入処理により島状半導体領域74を形成すべく有底逆載面導電性絶縁層73を形成し、次で島状半導体領域74を形成するという簡易な工程によつて得ることが出来るという大なる特徴を有するものであ

次に第11図を併せて、本願第2番目の発明による半導体装置の他の例を述べるに、第9図との対応部分には同一符号を附して詳細説明はこれを省略するも、第9図の場合と同様に、半導体基板71内にその主面72側より有底逆放電管筒状絶縁層73が、それによつて取囲まれた半導体基板71による島状半導体領域74を形成すべく形成され、又々の島状半導体領域74上に他の島状半導体領域94が形成され、而してそれ等島状半導体領域74及び94よりなる領域95を島状の半導体素子乃至回路形成領域とし、その領域95を用いて、その領域94上に半導体素子乃至回路Qが例えば第1図にて上述せるV I S電界効果トランジスタとして形成されてなる構成を有する。但しこの場合半導体基板71上には島状半導体領域74を外側に延ばせる逆放電管筒状開口116を有する層117が形成され、而してその開口116内に領域95を構成せる島状半導体領域94がその上面の高さ位置を層117の上面のそれと一致

するという大なる相違を有するものである。

次に第12図を併せて、第11図にて上述せる本願第2番目の発明による半導体装置の製造法の一例を述べるに、第10図にて上述せる本願第2番目の発明による半導体装置の製造法の一例の舞台に準じて、半導体基板71を予め用意し(第12図A)、而してその主面72上にハフア層136(但し絶縁性を有する)形成し、次にそのハフア層136上に逆放電管筒状開口134を形成せるマスク層135(但し絶縁性を有する)を形成する(第12図B)。

次に、第10図にて上述せるに準じて、半導体基板71上のマスク層135をマスクとせる半導体基板71内への、マスク層135及びハフア層136を通してのイオン注入処理により、半導体基板71内に有底逆放電管筒状絶縁層73を、それによつて取囲まれた半導体基板71による島状半導体領域74を形成すべく形成する(第12図C)。この場合マスク層135及びハフア層136内に点線図示のイオン打

せしめ領域を以つて形成されているものであり、一方開口116を有する層117は、半導体基板71上に、開口118を有する例えばシリコン酸化物、シリコン窒化物でなる絶縁性層119及び開口120を有する非晶質乃至多結晶シリコン酸化物、非晶質乃至多結晶シリコン窒化物でなる絶縁性層121とが開口118及び120を開口116として絶縁層73の主面72上での開放部に一致せしめた関係で形成され、てなる構成を有する。

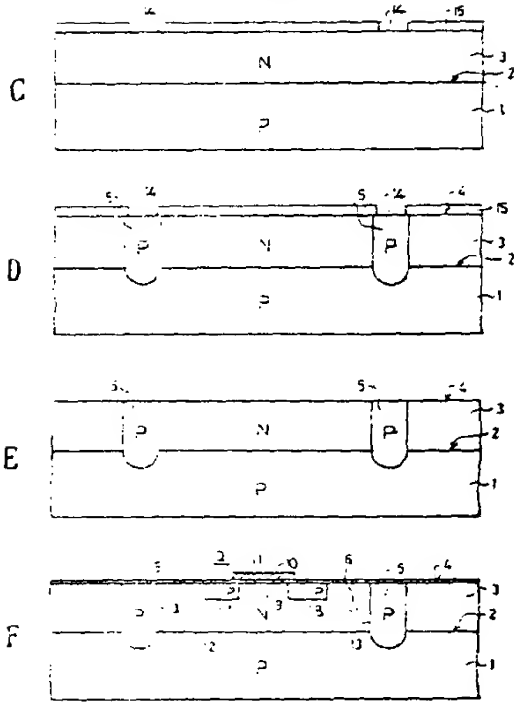
以上が本願第2番目の発明による半導体装置の他の例の構成であるが、斯る構成によれば、それが、詳細説明はこれを省略するも、第9図にて上述せる本願第2番目の発明による半導体装置の場合と同様の構成を有するので、その島状半導体領域74及び94よりなる領域95でなる島状の半導体素子乃至回路形成半導体領域の、他よりの電気的な分離を、第9図にて上述せる本願第2番目の発明による半導体装置の場合と同様の優れた特徴を以つて得ることが出来

る。次に第13図及び138が形成されるが、それ等領域137及び138は、元来マスク層135及びハフア層136が絶縁性を有しているので、それ等マスク層135及びハフア層136と同じ絶縁性を有するか又はそれ以上に絶縁性化されているものである。従つて以下イオン打込領域137及び138での絶縁領域が同時に形成されているとは述べてない。

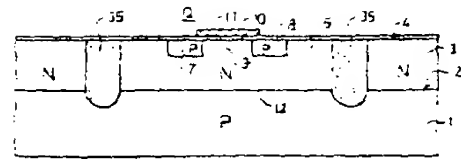
次にマスク層135をマスクとせるハフア層136に対するエッチング処理により、ハフア層136のマスク層135の開口134に臨む領域を除去し、斯くて開口118よりなるハフア層136による絶縁性層119と、開口134を有するマスク層135でなる開口120を有する絶縁性層121とが形成される。開口118及び120による開口116を有する層117を、半導体基板71の主面72上に形成する(第12図D)。

次に斯く開口116を有する層117を形成せる半導体基板71上にエピタキシャル成長法

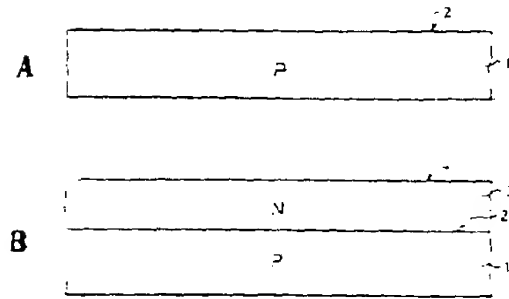
第 2 圖



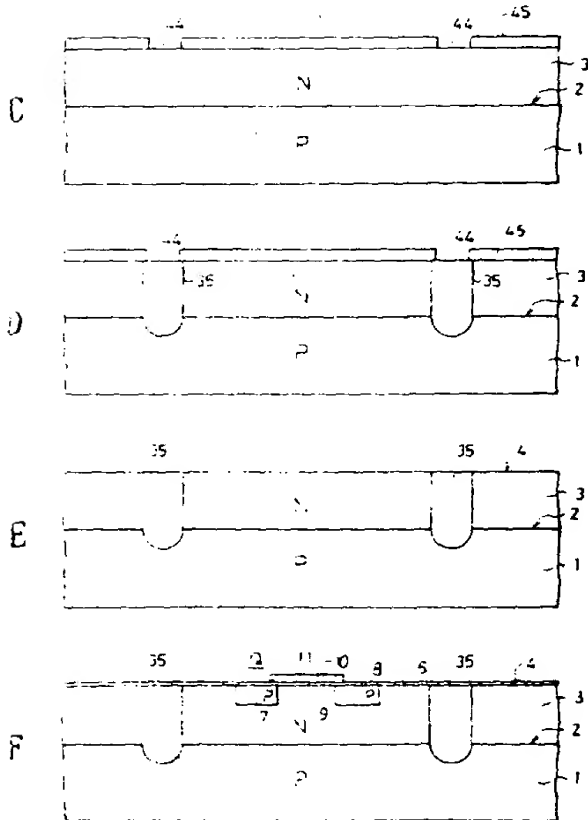
第 3 圖



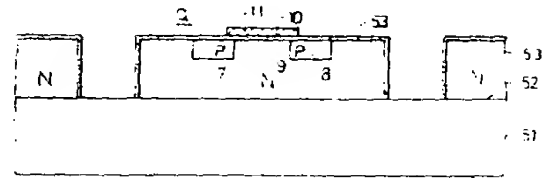
第 4 圖



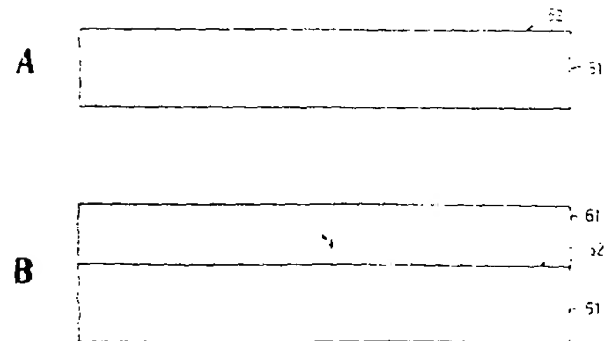
第 4 圖



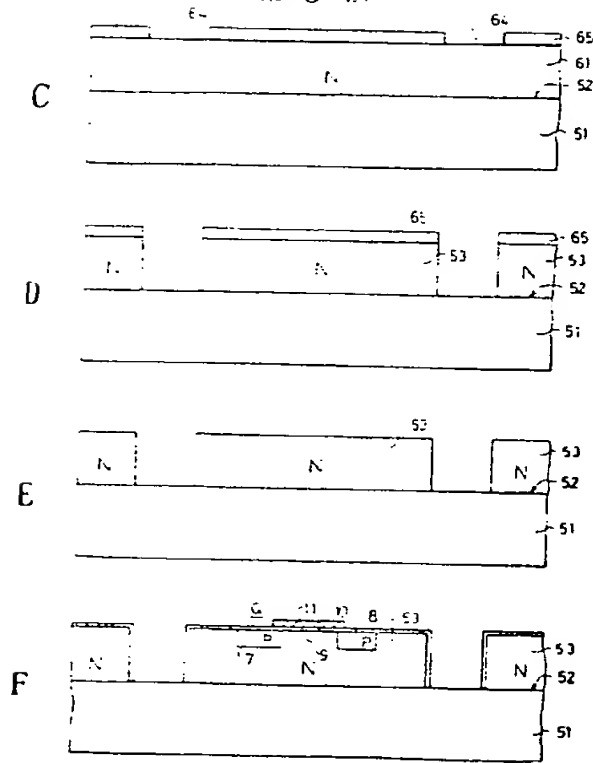
第 5 圖



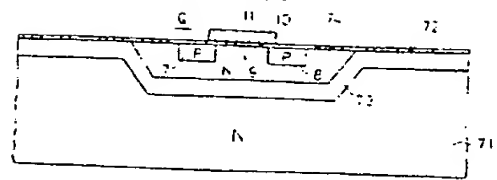
第 6 圖



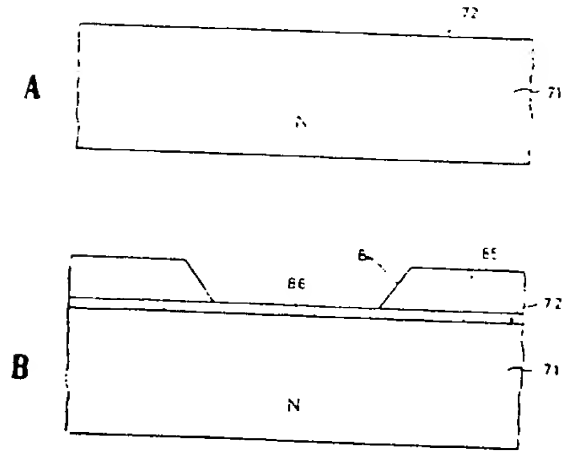
第 6 図



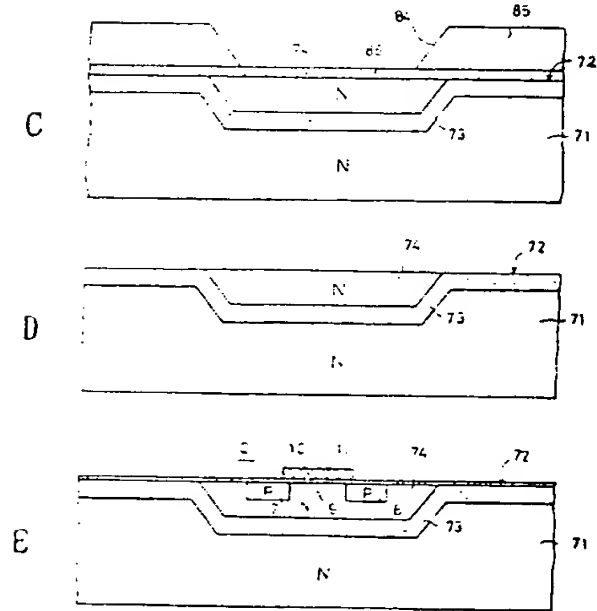
第 7 図



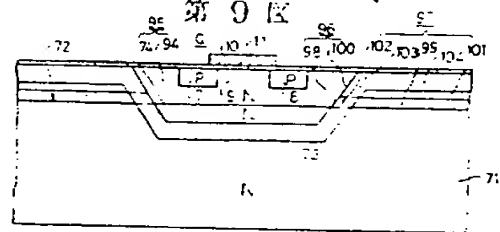
第 8 図



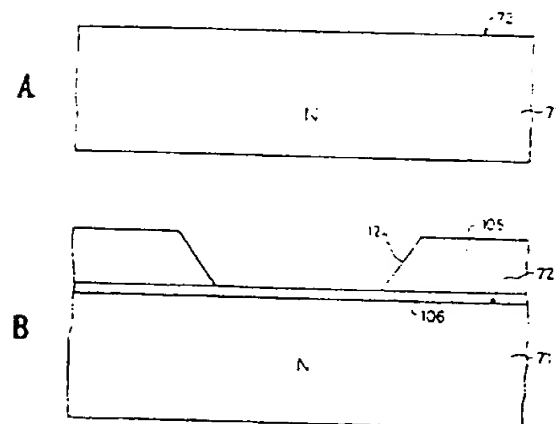
第 8 図



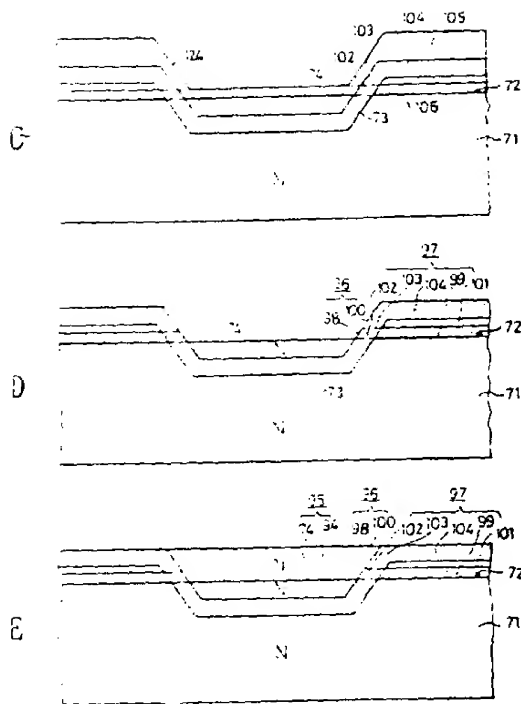
第 9 図



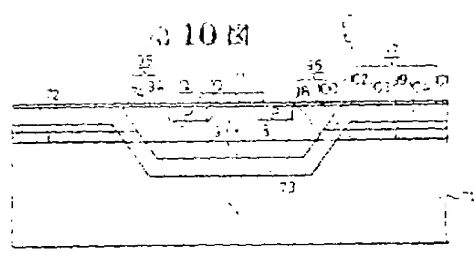
第 10 図



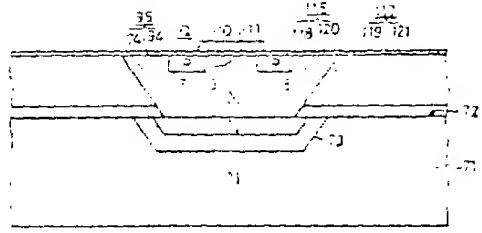
10 図



F



第11図



100

Patent Abstracts of Japan

PUBLICATION NUMBER : 57024548
PUBLICATION DATE : 09-02-82

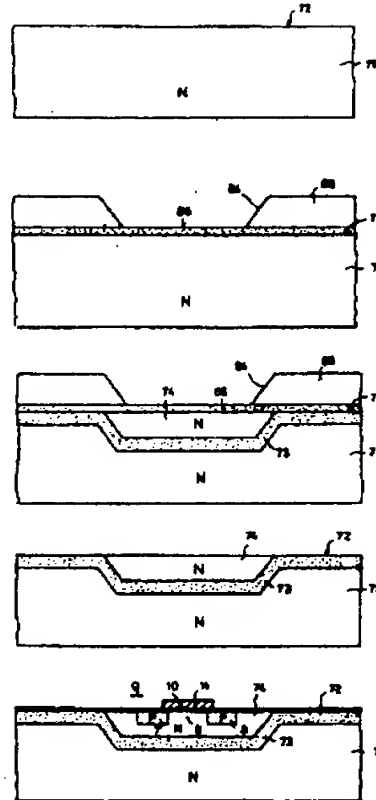
APPLICATION DATE : 22-07-80
APPLICATION NUMBER : 55100386

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : KAJIYAMA KENJI;

INT.CL : H01L 21/76 H01L 21/265 H01L 21/95

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : **PURPOSE:** To reduce number of manufacturing processes by making a semiconductor substrate and the other part electrically separated from each other by providing an island type semiconductor area with the shape of closed bottom, inverted truncated cone.

CONSTITUTION: From a thin buffer layer 86 of silicon oxide to prevent the unnecessary distortion between a semiconductor substrate 71 and a masking layer 85 on the main surface 72 of the semiconductor substrate 71 of N type silicon. On them is formed the masking layer 85 with an opening 84 of polycrystalline silicon shaped like an inverted truncated cone. Then, by ion injection treatment an insulating layer 73 of the shape of closed bottom, inverted truncated cone is produced to form an island-shaped semiconductor area 74, surrounded with above cone. The masking layer 85 and the buffer layer 86 are removed from the semiconductor substrate 71. The island-shaped semiconductor area 74 can be manufactured by a general process of desired MIS electric field effect transistor.

COPYRIGHT: (C) JPO

